

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2003046879  
PUBLICATION DATE : 14-02-03

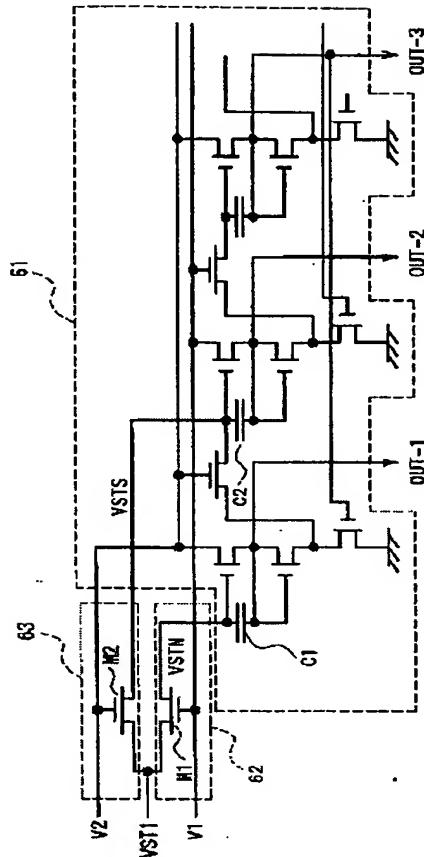
APPLICATION DATE : 01-08-01  
APPLICATION NUMBER : 2001233699

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : YAMAGUCHI TAKUMI;

INT.CL. : H04N 5/335 G02F 1/133 G09G 3/20  
G09G 3/36 H01L 27/146

TITLE : SIGNAL TRANSMISSION CIRCUIT,  
SOLID-STATE IMAGING DEVICE,  
CAMERA AND LIQUID CRYSTAL  
DISPLAY UNIT



ABSTRACT : PROBLEM TO BE SOLVED: To reduce a chip area by reducing the number of pulses supplied from the outside, in a signal transmission circuit which is used in an MOS type solid-state imaging device and a liquid crystal display unit.

SOLUTION: This signal transmission circuit is provided with a plurality of input parts 62, 63 corresponding to one shift register 61 from among a plurality of shift registers for supplying voltage pulses necessary for a light sensitive region. One start pulse VST1 is supplied in common to the input parts. A plurality of driving pulses V1 and V2 different in timing are supplied to the input parts 62 and 63, respectively. The one shift register 61 is made to start at different timing by each timing of a plurality of the driving pulses to the start pulse.

COPYRIGHT: (C)2003,JPO

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-46879

(P2003-46879A)

(43)公開日 平成15年2月14日 (2003.2.14)

(51) Int.Cl.<sup>7</sup>  
H 04 N 5/335

識別記号

F I  
H 04 N 5/335

テマコト<sup>\*</sup>(参考)  
Z 2 H 0 9 3  
E 4 M 1 1 8

G 02 F 1/133  
G 09 G 3/20

5 5 0  
6 2 1  
6 2 2

G 02 F 1/133  
G 09 G 3/20

5 5 0 5 C 0 0 6  
6 2 1 A 5 C 0 2 4  
6 2 2 E 5 C 0 8 0

審査請求 未請求 請求項の数13 OL (全 12 頁) 最終頁に続く

(21)出願番号 特願2001-233699(P2001-233699)

(71)出願人 000003821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(22)出願日 平成13年8月1日 (2001.8.1)

(72)発明者 山口 琢己

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 110000040

特許業務法人池内・佐藤アンドパートナ  
ーズ

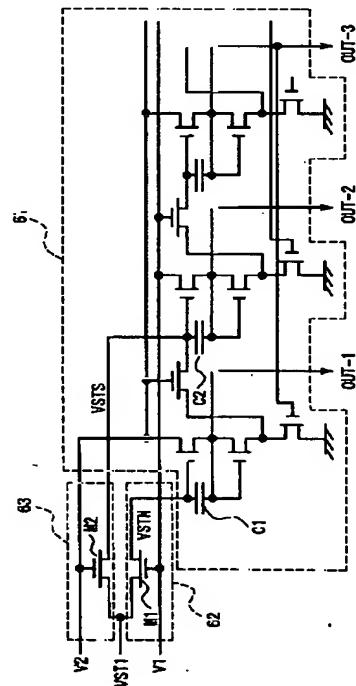
最終頁に続く

(54)【発明の名称】 信号伝送回路、固体撮像装置、カメラおよび液晶表示装置

(57)【要約】

【課題】 MOS型固体撮像装置や液晶表示装置に用い  
る信号伝送回路において、外部から供給するパルス数を  
削減して、チップ面積の縮小化を図る。

【解決手段】 感光領域に必要な電圧パルスを供給する  
複数のシフトレジスタのうち、1つのシフトレジスタ6  
1に対応して設けられ、1つのスタートパルスVST1  
が共通に供給され、タイミングの異なる複数の駆動パル  
スV1、V2のそれぞれが供給されて、スタートパルス  
に対する複数の駆動パルスの各タイミングによって、1  
つのシフトレジスタを異なるタイミングでスタートさせ  
る複数の入力部62、63を備えた。



## 【特許請求の範囲】

【請求項1】 複数のシフトレジスタのうち、少なくとも2つのシフトレジスタに対して、1つのスタートパルスが共通に供給され、タイミングの異なる複数の駆動パルスのそれぞれが供給されて、前記スタートパルスに対する前記複数の駆動パルスの各タイミングによって、前記少なくとも2つのシフトレジスタをそれぞれ異なるタイミングでスタートさせることを特徴とする信号伝送回路。

【請求項2】 1つのシフトレジスタに対して、少なくとも2つの入力部が設けられ、それぞれの入力部に共通の1つのスタートパルスとタイミングの異なる複数の駆動パルスのそれぞれが供給され、

前記スタートパルスに対する前記複数の駆動パルスの各タイミングによって、前記1つのシフトレジスタを異なるタイミングでスタートさせることを特徴とする信号伝送回路。

【請求項3】 前記少なくとも2つのシフトレジスタのそれぞれは、前記スタートパルスがソースまたはドレインに供給され、前記複数の駆動パルスのうち対応する駆動パルスがゲートに供給されるトランジスタを備えたことを特徴とする請求項1記載の信号伝送回路。

【請求項4】 前記少なくとも2つの入力部の各々は、前記スタートパルスがソースまたはドレインに供給され、前記複数の駆動パルスのうち対応する駆動パルスがゲートに供給されるトランジスタを備えたことを特徴とする請求項2記載の信号伝送回路。

【請求項5】 前記トランジスタはn型MOSトランジスタであり、前記スタートパルスの立ち下がりタイミングは前記駆動パルスの立ち下がりタイミングよりも遅いことを特徴とする請求項3または4記載の信号伝送回路。

【請求項6】 前記トランジスタはp型MOSトランジスタであり、前記スタートパルスの立ち上がりタイミングは前記駆動パルスの立ち上がりタイミングよりも遅いことを特徴とする請求項3または4記載の信号伝送回路。

【請求項7】 前記少なくとも2つのシフトレジスタのそれぞれは、前記スタートパルスがゲートに供給され、前記複数の駆動パルスのうち対応する駆動パルスがソースまたはドレインに供給されるトランジスタを備えたことを特徴とする請求項1記載の信号伝送回路。

【請求項8】 前記少なくとも2つの入力部の各々は、前記スタートパルスがゲートに供給され、前記複数の駆動パルスのうち対応する駆動パルスがソースまたはドレインに供給されるトランジスタを備えたことを特徴とする請求項2記載の信号伝送回路。

【請求項9】 前記トランジスタはn型MOSトランジスタであり、前記スタートパルスの立ち下がりタイミングは前記駆動パルスの立ち下がりタイミングよりも早い

ことを特徴とする請求項7または8記載の信号伝送回路。

【請求項10】 前記トランジスタはp型MOSトランジスタであり、前記スタートパルスの立ち上がりタイミングは前記駆動パルスの立ち上がりタイミングよりも早いことを特徴とする請求項7または8記載の信号伝送回路。

【請求項11】 請求項1から10のいずれか一項記載の信号伝送回路を用いたことを特徴とする固体撮像装置。

【請求項12】 請求項11記載の固体撮像装置を用いたことを特徴とするカメラ。

【請求項13】 請求項1から10のいずれか一項記載の信号伝送回路を用いたことを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶ディスプレイや、MOS型固体撮像装置を駆動するためのシフトレジスタに使用して、低電圧で駆動できる信号伝送回路に関するものである。

## 【0002】

【従来の技術】図9は、従来のMOS型イメージセンサの一構成例を示す図である。図9において、フォトダイオード1、転送トランジスタ2、リセットトランジスタ3、および增幅トランジスタ4からなる単位画素が二次元状に配列されて感光領域5が構成されている。6は列方向に画素を選択する通常駆動用垂直シフトレジスタ(S/R1)、7は電子シャッター用垂直シフトレジスタ(S/R2)、8は行方向に画素を選択する水平シフトレジスタ、9は、通常駆動用垂直シフトレジスタ6、電子シャッター用垂直シフトレジスタ7、および水平シフトレジスタ8に必要なパルスを供給するタイミングパルス発生回路である。

【0003】図10は、図9の通常駆動用垂直シフトレジスタ6および電子シャッター用垂直シフトレジスタ7の入出力関係を示す概略構成図である。図10に示すように、通常駆動用垂直シフトレジスタ6には、駆動パルスV1、V2およびスタートパルスVST1が供給され、電子シャッター用垂直シフトレジスタ7には、駆動パルスV1、V2およびスタートパルスVST2が供給される。

【0004】図11は、n型MOSトランジスタを用いてダイナミッククロジック型で構成した通常駆動用垂直シフトレジスタ6および電子シャッター用垂直シフトレジスタ7の内部回路図である。図11において、通常駆動用垂直シフトレジスタ6のトランジスタM1のドレインにスタートパルスVST1が入力され、同時に駆動パルスV2がトランジスタM1のゲート電極に入った場合に、通常駆動用垂直シフトレジスタ6がシフト動作をス

タートする。また、電子シャッター用垂直シフトレジスタ7は、通常駆動用垂直シフトレジスタ6と同一の構成をとり、トランジスタM2のドレインにスタートパルスVST2が入力され、同時に駆動パルスV2がゲート電極に入った場合に、電子シャッター用垂直シフトレジスタ7がシフト動作をスタートする。

【0005】図12は、駆動パルスV2、スタートパルスVST1、VST2のタイミングチャートである。図12に示すように、通常駆動用垂直シフトレジスタ6は、時間期間T1でスタートパルスVST1および駆動パルスV2が共に「High」レベルとなり、スタートパルスVST1の電圧レベルがトランジスタM1を通して初段のコンデンサC1に蓄えられ、通常駆動用垂直シフトレジスタ6がスタートする。この時間期間T1の後に、スタートパルスVST1が「Low」レベルになる前に、駆動パルスV2を「Low」レベルにすることで、初段コンデンサC1に蓄えられた電荷が保持されることとなる。

【0006】同様に、電子シャッター用垂直シフトレジスタ7は、時間期間T2でスタートパルスVST2および駆動パルスV2が共に「High」レベルとなり、スタートパルスVST2の電圧レベルがトランジスタM2を通して初段のコンデンサC2に蓄えられ、電子シャッター用垂直シフトレジスタ7がスタートする。この時間期間T2の後に、スタートパルスVST2が「Low」レベルになる前に、駆動パルスV2を「Low」レベルにすることで、初段コンデンサC2に蓄えられた電荷が保持されることとなる。

#### 【0007】

【発明が解決しようとする課題】このように、従来のMOS型イメージセンサでは、通常駆動と電子シャッター駆動に対して、それぞれ通常駆動用垂直シフトレジスタ(S/R1)6および電子シャッター用垂直シフトレジスタ(S/R2)7の2種類が必要で、その2つのシフトレジスタに、駆動パルスV1、V2は共通に供給されているが、スタートパルスについては、各シフトレジスタのスタート時間が異なるため、別々のスタートパルスVST1、VST2を供給する必要がある。

【0008】しかしながら、チップ面積の縮小化を行う場合、回路の削減やパルス数の削減が必須となってくる。特に、MOS型イメージセンサ内にタイミングパルス発生回路9を持たない場合は、外部からパルスを供給するための端子数が増加するため、パルス数の削減は、チップ面積の縮小化にとって不可欠である。

【0009】本発明は、かかる点に鑑みてなされたものであり、その目的は、外部から供給するパルス数を削減して、チップ面積の縮小化を図った固体撮像装置を提供することにある。

#### 【0010】

【課題を解決するための手段】前記の目的を達成するた

め、本発明に係る第1の信号伝送回路は、複数のシフトレジスタのうち、少なくとも2つのシフトレジスタに対して、1つのスタートパルスが共通に供給され、タイミングの異なる複数の駆動パルスのそれぞれが供給されて、スタートパルスに対する複数の駆動パルスの各タイミングによって、少なくとも2つのシフトレジスタをそれぞれ異なるタイミングでスタートさせることを特徴とする。

【0011】前記の目的を達成するため、本発明に係る第2の信号伝送回路は、1つのシフトレジスタに対して、少なくとも2つの入力部が設けられ、それぞれの入力部に共通の1つのスタートパルスとタイミングの異なる複数の駆動パルスのそれぞれが供給され、スタートパルスに対する複数の駆動パルスの各タイミングによって、1つのシフトレジスタを異なるタイミングでスタートさせることを特徴とする。

【0012】第1の信号伝送回路において、少なくとも2つのシフトレジスタのそれぞれは、スタートパルスがソースまたはドレインに供給され、複数の駆動パルスのうち対応する駆動パルスがゲートに供給されるトランジスタを備えることが好ましい。

【0013】第2の信号伝送回路において、少なくとも2つの入力部の各々は、スタートパルスがソースまたはドレインに供給され、複数の駆動パルスのうち対応する駆動パルスがゲートに供給されるトランジスタを備えることが好ましい。

【0014】上記構成の場合、トランジスタはn型MOSトランジスタであり、スタートパルスの立ち下がりタイミングは駆動パルスの立ち下がりタイミングよりも遅いことが好ましく、または、トランジスタはp型MOSトランジスタであり、スタートパルスの立ち上がりタイミングは駆動パルスの立ち上がりタイミングよりも遅いことが好ましい。

【0015】また、第1の信号伝送回路において、少なくとも2つのシフトレジスタのそれぞれは、スタートパルスがゲートに供給され、複数の駆動パルスのうち対応する駆動パルスがソースまたはドレインに供給されるトランジスタを備えることが好ましい。

【0016】また、第2の信号伝送回路において、少なくとも2つの入力部の各々は、スタートパルスがゲートに供給され、複数の駆動パルスのうち対応する駆動パルスがソースまたはドレインに供給されるトランジスタを備えることが好ましい。

【0017】上記構成の場合、トランジスタはn型MOSトランジスタであり、スタートパルスの立ち下がりタイミングは駆動パルスの立ち下がりタイミングよりも早いことが好ましく、または、トランジスタはp型MOSトランジスタであり、スタートパルスの立ち上がりタイミングは駆動パルスの立ち上がりタイミングよりも早いことが好ましい。

【0018】第1の信号伝送回路の構成によれば、1つのスタートパルス中に、異なるタイミングで複数のシフトレジスタを個別にスタートできるパルスタイミングを設けている。これにより、多数のシフトレジスタを一括管理できるとともに、複数のスタートパルスを発生する回路を削減することができる。また、第1の信号伝送回路をタイミングパルス発生回路が内蔵されていないMOS型固体撮像装置およびそれを用いたカメラ、液晶表示装置に適用した場合は、外部から供給するスタートパルスの数を削減できるため、外部パッケージの端子数を削減することができる。

【0019】第2の信号伝送回路の構成によれば、1つのスタートパルス中に、異なるタイミングで複数の駆動をスタートできるパルスタイミングを設けている。これより、複数の入力部を一括管理できるとともに、複数のスタートパルスを発生する回路を削減することができる。また、第2の信号伝送回路をタイミングパルス発生回路が内蔵されていないMOS型固体撮像装置、それを用いたカメラ、液晶表示装置に適用した場合は、外部から供給するスタートパルスの数を削減できるため、外部パッケージの端子数を削減することができる。

#### 【0020】

【発明の実施の形態】以下、本発明の好適な実施の形態について、図面を参照して説明する。なお、以下の実施形態では、本発明に係る信号伝送回路をMOS型固体撮像装置に適用した場合を例にあげて説明する。

【0021】(第1の実施形態) 図1は、本発明の第1の実施形態に係るMOS型固体撮像装置における通常駆動用垂直シフトレジスタ(S/R1)16および電子シャッター用垂直シフトレジスタ(S/R2)17の全体構成図である。図1において、各シフトレジスタは、2つの駆動パルスV1、V2、および1つのスタートパルスVST1の3つのパルスで駆動され、スタートパルスVST1は2つのシフトレジスタで共通に用いられている。

【0022】図2は、n型MOSトランジスタを用いてダイナミックロジック型で構成した通常駆動用垂直シフトレジスタ16および電子シャッター用垂直シフトレジスタ17の内部回路図である。図2において、通常駆動用垂直シフトレジスタ16は、スタートパルスVST1と駆動パルスV1が共に「High」レベルの期間に、トランジスタM1を通して、コンデンサC1に「High」レベルの電圧が加わり、シフト動作をスタートさせる。電子シャッター用垂直シフトレジスタ17は、スタートパルスVST1と駆動パルスV2が共に「High」レベルの期間に、トランジスタM2を通して、容量C2に「High」レベルの電圧が加わり、シフト動作をスタートさせる。

【0023】図3は、駆動パルスV1、V2およびスタートパルスVST1のタイミングチャートである。図3

に示すように、通常駆動用垂直シフトレジスタ6では、時間期間T1でスタートパルスVST1および駆動パルスV1が共に「High」レベルとなり、スタートパルスVST1の電圧レベルがトランジスタM1を通して初段のコンデンサC1に蓄えられ、シフト動作がスタートする。この時間期間T1のすぐ後において、スタートパルスVST1が「Low」レベルになる前に、駆動パルスV1を「Low」レベルにすることで、コンデンサC1に蓄えられた「High」レベル電荷が保持され、ダイナミックロジックが動作することとなる。

【0024】同様に、電子シャッター用垂直シフトレジスタ17では、時間期間T2でスタートパルスVST1および駆動パルスV2が共に「High」レベルとなり、スタートパルスVST1の電圧レベルがトランジスタM2を通して初段のコンデンサC2に蓄えられ、シフト動作がスタートする。この時間期間T2のすぐ後において、スタートパルスVST1が「Low」レベルになる前に、駆動パルスV2を「Low」レベルにすることで、コンデンサC2に蓄えられた「High」レベル電荷が保持され、ダイナミックロジックが動作することとなる。

【0025】このように、各シフトレジスタにおいて、スタートパルスVST1がドレインに印加される初段のトランジスタM1、M2のそれぞれのゲートに印加される駆動パルスV1とV2が異なるように構成することと、1つのスタートパルスVST1中に、異なる時間に複数のシフトレジスタを個別にスタートできるパルスタイミングを設けることで、各シフトレジスタのスタート時間を異なるように設定できる。

【0026】したがって、通常駆動用垂直シフトレジスタ16および電子シャッター用垂直シフトレジスタ17の駆動においては、駆動パルスV1、V2が共通で利用されるだけでなく、スタートパルスVST1も共通に利用することができる。これにより、1つのスタートパルスVST1は、多数のシフトレジスタを一括管理するとともに、複数のスタートパルスを発生する回路が削減でき、チップ面積の縮小化を図ることができる。また、タイミングパルス発生回路が内蔵されていないMOS型固体撮像装置では、外部から供給するスタートパルスの数を削減できるため、外部パッケージの端子数を削減することができる。

【0027】(第2の実施形態) 図4は、本発明の第2の実施形態に係るMOS型固体撮像装置におけるn型MOSトランジスタを用いてダイナミックロジック型で構成した通常駆動用垂直シフトレジスタ16および電子シャッター用垂直シフトレジスタ17の内部回路図である。本実施形態が第1の実施形態と異なる点は、各シフトレジスタにおいて、初段のトランジスタM1、M2のゲートにスタートパルスが共通に供給され、初段のトランジスタM1、M2のドレインにそれぞれタイミングが

異なる駆動パルスがV1、V2が供給される点にある。  
【0028】このように構成された各シフトレジスタの動作について、図5のタイミングチャートを用いて説明する。

【0029】通常駆動用垂直シフトレジスタ16は、時間期間T1でスタートパルスVST1および駆動パルスV1が共に「High」となり、駆動パルスV1の「High」レベル電圧がトランジスタM1を通って初段のコンデンサC1に蓄えられ、シフト動作をスタートさせる。この時間期間T1のすぐ後において、駆動パルスV1が「Low」レベルになる前に、スタートパルスVST1を「Low」レベルにすることで、コンデンサC1に蓄えられた「High」レベル電荷が保持され、ダイナミックロジックが動作することとなる。

【0030】同様に、電子シャッター用垂直シフトレジスタ17は、時間期間T2でスタートパルスVST1および駆動パルスV2が共に「High」レベルとなり、駆動パルスV2の「High」レベル電圧がトランジスタM2を通って初段のコンデンサC2に蓄えられ、シフト動作がスタートする。この時間期間T2のすぐ後において、駆動パルスV2が「Low」レベルになる前に、スタートパルスVST1を「Low」レベルにすることで、コンデンサC2に蓄えられた「High」レベル電荷が保持され、ダイナミックロジックが動作することとなる。

【0031】このように、各シフトレジスタにおいて、スタートパルスVST1がゲートに印加される初段のトランジスタM1、M2のそれぞれのドレインに印加される駆動パルスV1とV2が異なるように構成することと、1つのスタートパルスVST1中に、異なる時間で複数のシフトレジスタを個別にスタートできるパルスタイミングを設けることで、各シフトレジスタのスタート時間を異なるように設定できる。

【0032】したがって、通常駆動用垂直シフトレジスタ16および電子シャッター用垂直シフトレジスタ17の駆動においては、駆動パルスV1、V2が共通で利用されるだけでなく、スタートパルスVST1も共通に利用することができる。これより、1つのスタートパルスVST1は、多数のシフトレジスタを一括管理とともに、複数のスタートパルスを発生する回路が削減でき、チップ面積の縮小化を図ることができる。また、タイミングパルス発生回路が内蔵されていないMOS型固体撮像装置では、外部から供給するスタートパルスの数を削減できるため、外部パッケージの端子数を削減することができる。

【0033】(第3の実施形態) 図6は、本発明の第3の実施形態に係るMOS型固体撮像装置における通常駆動と電子シャッター駆動兼用の1つのシフトレジスタ61の全体構成図である。シフトレジスタ61は、2つの駆動パルスV1、V2および1つのスタートパルスVS

T1の3つのパルスで駆動され、スタートパルスVST1は2つの入力部(IN-1、IN-2)62、63で共通に用いられている。

【0034】図7は、n型MOSトランジスタを用いてダイナミックロジック型で構成したシフトレジスタ61の内部回路図である。図7において、入力部62は、通常駆動用にシフトレジスタ61のスタートパルスVSTNを発生させる役割を持ち、入力部63は、電子シャッター駆動用にシフトレジスタ61のスタートパルスVTSを発生させる役割を持つ。

【0035】入力部62では、スタートパルスVST1と駆動パルスV1が共に「High」レベルの期間に、トランジスタM1を通してコンデンサC1に「High」レベルの電圧が加わり、通常駆動用としてシフトレジスタ61がスタートする。また、入力部63では、スタートパルスVST1と駆動パルスV2が共に「High」レベルの期間に、トランジスタM2を通してコンデンサC2に「High」レベルの電圧が加わり、電子シャッター駆動用としてシフトレジスタ61がスタートする。なお、駆動パルスV1、V2およびスタートパルスVST1のタイミング関係は、図3のタイミングチャートに示す通りである。

【0036】このように、各入力部において、スタートパルスVST1がドレインに印加されるトランジスタM1、M2のそれぞれのゲートに印加される駆動パルスV1とV2が異なるように構成することと、1つのスタートパルスVST1中に、異なる時間で複数のシフトレジスタを個別にスタートできるパルスタイミングを設けることで、各入力部のスタート時間を異なるように設定できる。

【0037】したがって、通常駆動時と電子シャッター駆動時に共通のシフトレジスタで駆動できると共に、入力部62、63の駆動においては、スタートパルスVST1も共通に利用することができる。これによって、シフトレジスタ数の低減とスタートパルスの共通化により、複数のスタートパルスを発生する回路が削減でき、チップ面積の縮小化を図ることができる。また、タイミングパルス発生回路が内蔵されていないMOS型固体撮像装置では、外部から供給するスタートパルスの数を削減できるため、外部パッケージの端子数を削減することができる。

【0038】(第4の実施形態) 図8は、本発明の第4の実施形態に係るMOS型固体撮像装置におけるn型MOSトランジスタを用いてダイナミックロジック型で構成した通常駆動と電子シャッター駆動兼用のシフトレジスタ61の内部回路図である。本実施形態が第3の実施形態と異なる点は、各入力部において、トランジスタM1、M2のゲートにスタートパルスが共通に供給され、トランジスタM1、M2のドレインにそれぞれタイミングが異なる駆動パルスがV1、V2が供給される点にあ

る。なお、駆動パルスV1、V2およびスタートパルスVST1のタイミング関係は、図5のタイミングチャートに示す通りであるので、動作説明については省略する。

【0039】このように、各入力部62、63において、スタートパルスVST1がゲート電極に印加されるトランジスタM1、M2のそれぞれのドレインに印加される駆動パルスV1とV2が異なるように構成することと、1つのスタートパルスVST1中に、異なる時間で複数のシフトレジスタを個別にスタートできるパルスタイミングを設けることで、各入力部のスタート時間を異なるように設定できる。

【0040】したがって、標準駆動時と電子シャッター駆動時に共通のシフトレジスタで駆動できると共に、入力部62、63の駆動においては、スタートパルスVST1も共通に利用することができる。これによって、シフトレジスタ数の低減とスタートパルスの共通化により、複数のスタートパルスを発生する回路が削減でき、チップ面積の縮小化を図ることができる。また、タイミングパルス発生回路が内蔵されていないMOS型固体撮像装置では、外部から供給するスタートパルスの数を削減できるため、外部パッケージの端子数を削減することができる。

【0041】なお、本発明の第1から第4の実施形態では、2つの駆動パルスV1、V2を用いた場合を例に上げて説明したが、駆動パルスが3つ以上の場合でも、シフトレジスタのスタートパルスを共通に使うことができ、駆動パルス数が多い場合は、複数のスタートパルスを発生する回路部の削減および端子数削減の効果が更に大きくなる。

【0042】また、本発明の第1から第4の実施形態では、垂直シフトレジスタ6および電子シャッター用垂直シフトレジスタ7を、n型MOSトランジスタを用いて構成したが、p型MOSトランジスタを用いて構成しても、同様の効果を奏する。

【0043】また、本発明の第1から第4の実施形態では、固体撮像装置の垂直の行を選択するシフトレジスタの構成例を示したが、固体撮像装置の水平アドレスを選択するシフトレジスタにおいても用いることができる。また、液晶表示装置などにおいて、水平方向および垂直方向のアドレスを決定するシフトレジスタとしても、同様の効果を実現することが出来る。

【0044】

【発明の効果】以上説明したように、本発明によれば、複数のスタートパルスを発生する回路が削減でき、チップ面積の縮小化を図ることができる。また、本発明の信号伝送回路をタイミングパルス発生回路が内蔵されていないMOS型固体撮像装置およびそれを用いたカメラ、液晶表示装置に適用した場合は、外部から供給するスタートパルスの数を削減できるため、外部パッケージの入

力端子数を削減することができる。これによって、MOS型固体撮像装置の小型化を実現することができ、産業上極めて有用である。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るMOS型固体撮像装置における通常駆動用垂直シフトレジスタ(S/R1)16および電子シャッター用垂直シフトレジスタ(S/R2)17の全体構成図

【図2】 本発明の第1の実施形態に係るMOS型固体撮像装置における通常駆動用垂直シフトレジスタ(S/R1)16および電子シャッター用垂直シフトレジスタ(S/R2)17の内部回路図

【図3】 図2の各シフトレジスタに供給されるパルスのタイミングチャート

【図4】 本発明の第2の実施形態に係るMOS型固体撮像装置における通常駆動用垂直シフトレジスタ(S/R1)16および電子シャッター用垂直シフトレジスタ(S/R2)17の内部回路図

【図5】 図4の各シフトレジスタに供給されるパルスのタイミングチャート

【図6】 本発明の第3の実施形態に係るMOS型固体撮像装置における通常駆動と電子シャッター駆動兼用のシフトレジスタ61の全体構成図

【図7】 本発明の第3の実施形態に係るMOS型固体撮像装置における通常駆動と電子シャッター駆動兼用のシフトレジスタ61の内部回路図

【図8】 本発明の第4の実施形態に係るMOS型固体撮像装置における通常駆動と電子シャッター駆動兼用のシフトレジスタ61の内部回路図

【図9】 従来のMOS型イメージセンサの一構成例を示す図

【図10】 従来の通常駆動用垂直シフトレジスタ6および電子シャッター用垂直シフトレジスタ7の全体構成図

【図11】 従来の通常駆動用垂直シフトレジスタ6および電子シャッター用垂直シフトレジスタ7の内部回路図

【図12】 図11の各シフトレジスタに供給されるパルスのタイミングチャート

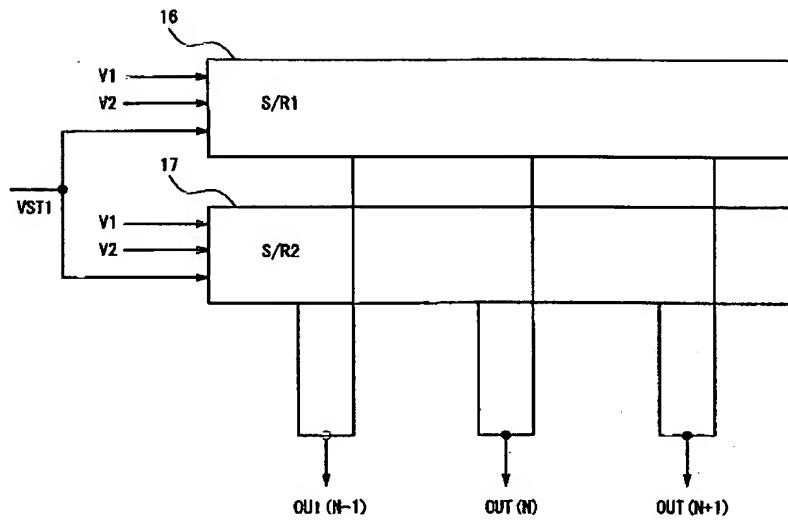
【符号の説明】

- 1 フォトダイオード
- 2 転送トランジスタ
- 3 リセットトランジスタ
- 4 増幅トランジスタ
- 5 感光領域
- 6、16 通常駆動用垂直シフトレジスタ
- 7、17 電子シャッター用垂直シフトレジスタ
- 8 水平シフトレジスタ
- 9 タイミングパルス発生回路
- 61 通常駆動と電子シャッター駆動兼用のシフトレジ

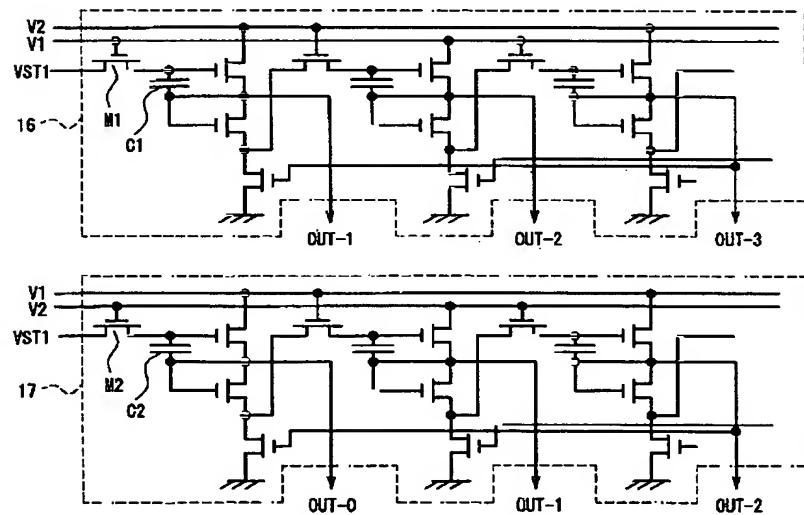
スタ

62、63 入力部

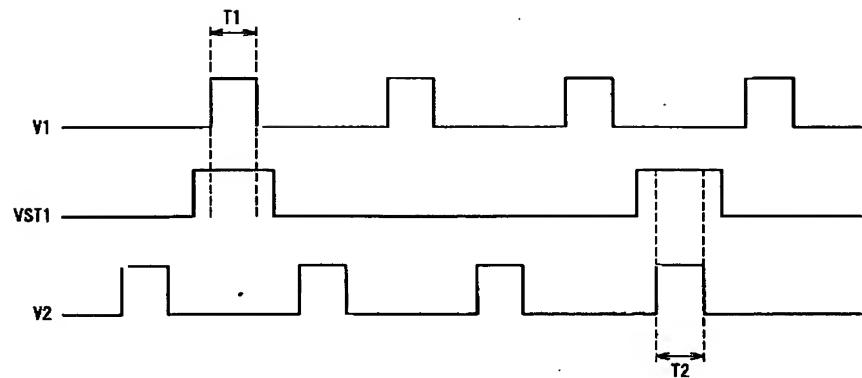
【図1】



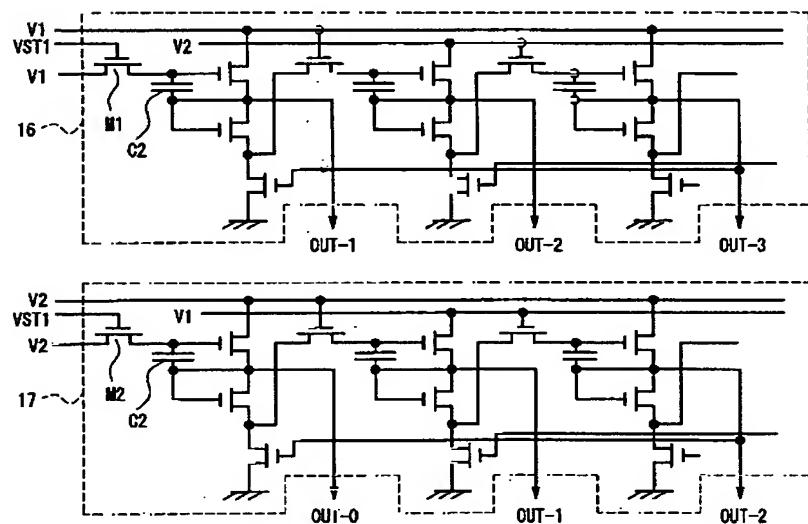
【図2】



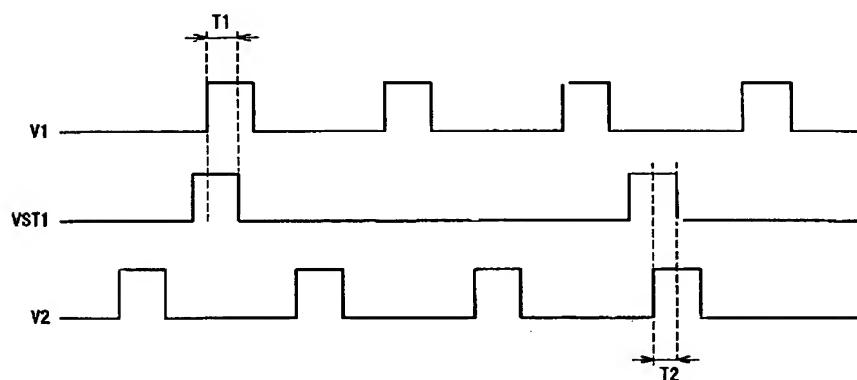
【図3】



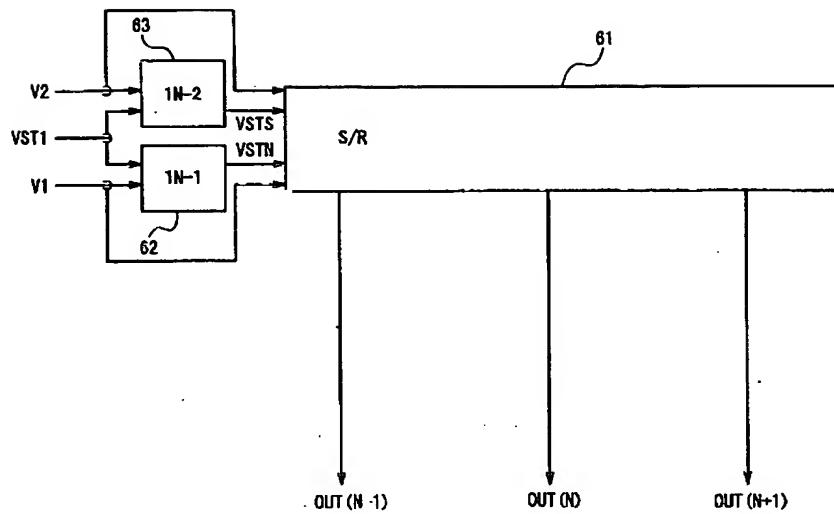
【図4】



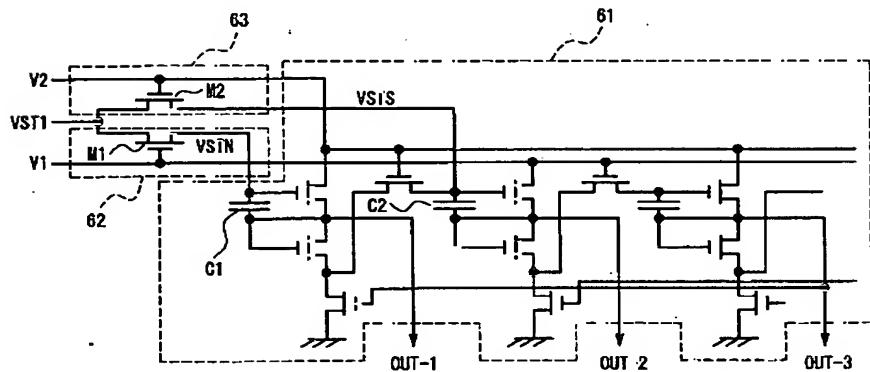
【図5】



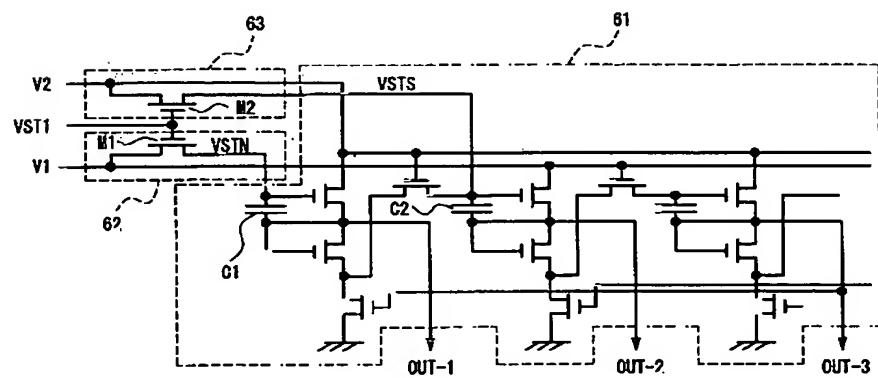
【図6】



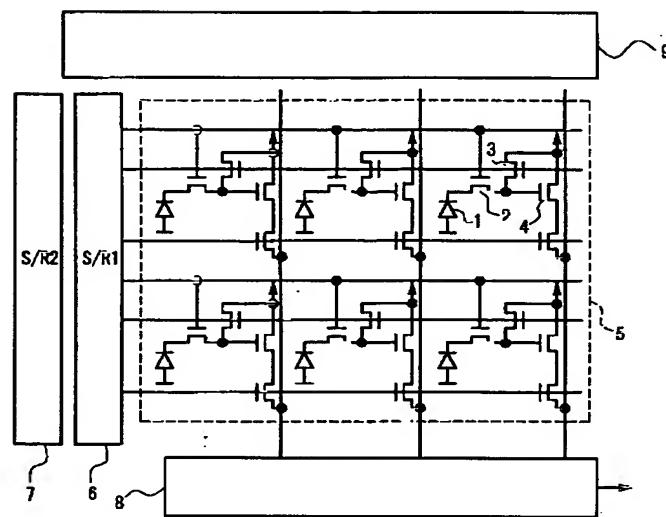
【図7】



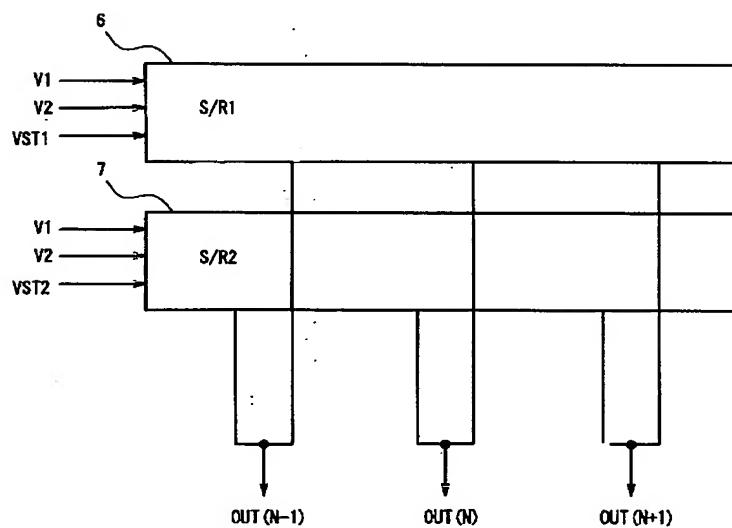
【図8】



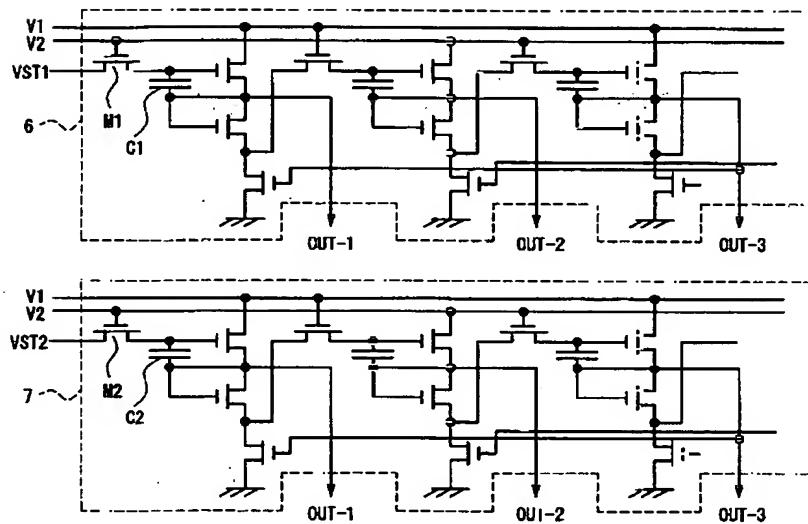
【図9】



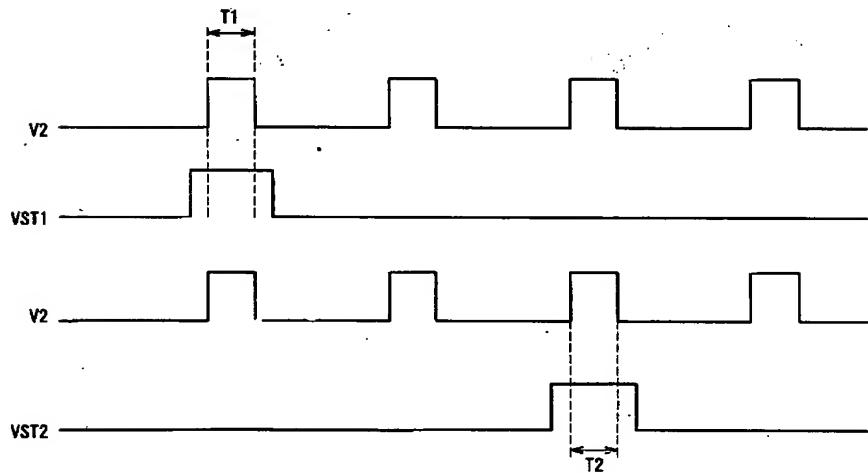
【図10】



【図11】



【図12】



フロントページの続き

(51) Int.C1.7  
G 0 9 G 3/20  
3/36  
H 0 1 L 27/146

識別記号  
6 2 3

F I  
G 0 9 G 3/20  
3/36  
H 0 1 L 27/14

(参考)

6 2 3 H  
A

(12) 2003-46879 (P2003-46879A)

F ターム(参考) 2H093 NA16 NA44 NB23 NC22 NC33  
ND42  
4M118 AA10 AB01 BA14 CA02 FA06  
FA21 FA50 GA10  
5C006 BC03 BC12 BF03 BF34 EB05  
FA16 FA41  
5C024 CX54 CY16 GX04 GY31 HX02  
HX40  
5C080 AA10 BB05 DD22 DD25 JJ02  
JJ03 JJ04